



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL  
FORM**

(to be used for all correspondence after initial filing)

<b>TRANSMITTAL FORM</b> (to be used for all correspondence after initial filing)	Application Number	10/708,640	
	Filing Date	03/17/2004	
	First Named Inventor	Kun-Hong Chen	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	ADTP0116USA

**ENCLOSURES (Check all that apply)**

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
<b>Remarks</b>		

**SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT**

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	4/17/2004

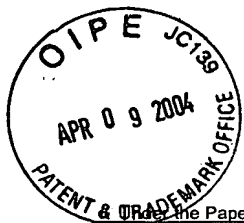
**CERTIFICATE OF TRANSMISSION/MAILING**

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

**Complete if Known**

Application Number	10/708,640
Filing Date	03/17/2004
First Named Inventor	Kun-Hong Chen
Examiner Name	
Art Unit	
Attorney Docket No.	ADTP0116USA

**METHOD OF PAYMENT (check all that apply)**☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	

SUBTOTAL (1) (\$ ) 0.00

**2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE**

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

**FEE CALCULATION (continued)****3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	0.00
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

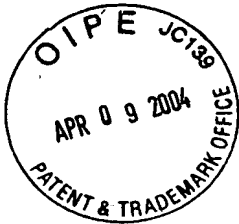
**SUBMITTED BY**

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	4/17/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

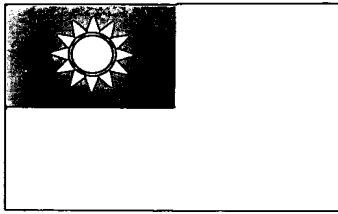
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092108996	Taiwan R.O.C	04/17/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 17 日  
Application Date

申請案號：092108996  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 5 月 29 日  
Issue Date

發文字號：09220529170  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、發明名稱	中 文	薄膜電晶體結構
	英 文	THIN-FILM TRANSISTOR
二、發明人 (共1人)	姓 名 (中文)	1. 陳坤宏
	姓 名 (英文)	1. Chen, Kun-Hong
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣淡水鎮新興里二十鄰八十一號八樓
	住居所 (英 文)	1. 8F, No. 81, Community 20, Hsin-Hsing Li, Tam-Shui Town, Taipei Hsien, Taiwan, R.O.C.
三、申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU Optronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No.1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin- Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Lee, Kuen-Yao



四、中文發明摘要 (發明名稱：薄膜電晶體結構)

本發明係提供一種薄膜電晶體結構，其包含有一基底，一半導體層以及一閘極設於該基底上。其中該半導體層包含有一通道區，二輕摻雜汲極以及二源極/汲極，該閘極係與該等輕摻雜汲極相對稱，且該閘極之二側壁與其相鄰之各該輕摻雜汲極相堆疊，該等輕摻雜汲極與該等源極/汲極間之接面係未與該閘極相堆疊，該等源極/汲極亦未與該閘極相堆疊。

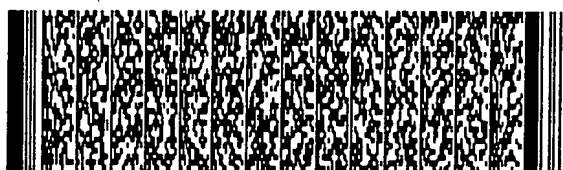
五、(一)、本案代表圖為：第四圖

(二)、本案代表圖之元件代表符號簡單說明

30	薄膜電晶體	32	基底
33	半導體層	34	通道區
38、40	源極/汲極		
44、46	輕摻雜汲極		

六、英文發明摘要 (發明名稱：THIN-FILM TRANSISTOR)

A thin-film transistor includes a substrate, a semiconductor layer and a gate positioned on the substrate. The semiconductor layer has a channel region, two lightly doped drains and two source/drain electrodes. The two lightly doped drains are symmetric to the gate. Either of the gate sides overlaps with portions of the adjacent lightly doped drain. Neither of the junctions



四、中文發明摘要 (發明名稱：薄膜電晶體結構)

48 閘極絕緣層

50 閘極

六、英文發明摘要 (發明名稱：THIN-FILM TRANSISTOR)

between the lightly doped drains and the source/drain electrodes overlaps with the gate. Neither of the source/drain electrodes overlaps with the gate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

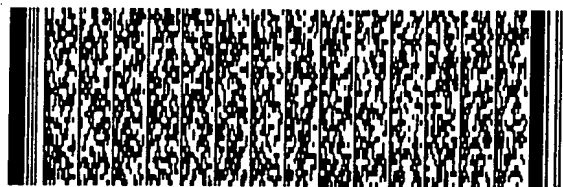
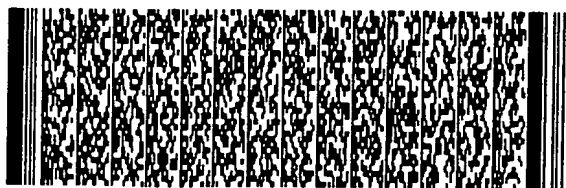
### 發明所屬之技術領域

本發明係提供一種薄膜電晶體結構。

### 先前技術

薄膜電晶體之主動層係由半導體材料組成，可以提供高電子漂移率，因此已廣泛應用於各式功能電路設計中。舉例而言，薄膜電晶體液晶顯示器 (TFT-LCD) 運用了大量的薄膜電晶體在其畫素電路以及週邊驅動電路等兩大功能電路設計中。由於畫素電路以及週邊驅動電路之功能以及操作情況並不相同，因此其各自之薄膜電晶體特性需求亦不盡相同。在畫素電路方面，由於薄膜電晶體主要是用來作為畫素之開關元件，提供適當之電壓來控制液晶分子之旋轉角度，因此其特別需要降低漏電流 (即薄膜電晶體關閉時流經汲極附近之電流，off-current)，以維持儲存於畫素儲存電容 (storage capacitor, Cs) 中的電荷，降低電容之更新頻率 (refresh frequency)，進而改善顯示器之耗電問題。

請參考圖一，圖一為習知一薄膜電晶體結構之結構剖面圖及其能帶示意圖，下方之能帶示意圖由左側至右側係分別用來顯示閘極邊緣區域 (即圖一上方用虛線圈起的區域) 之閘極、閘極絕緣層以及半導體層 (主動層) 等結



## 五、發明說明 (2)

構的能帶分布情形。薄膜電晶體包含有一基底 12，一半導體層 13 設於基底 12 表面，一閘極絕緣層 24 設於半導體層 13 表面，以及一閘極 26 設於閘極絕緣層 24 表面。半導體層 13 包含有二輕摻雜汲極 16、18 以及二源極 / 汲極 20、22，對稱設於閘極 26 之兩側，而輕摻雜汲極 16 與 18 之間則定義為一通道區 14。

習知方法於製作薄膜電晶體 10 時大多會利用一自動對準製程 (self-alignment process) 來形成源極 / 汲極 20 與 22，亦即於定義閘極 26 之圖案後，再利用閘極 26 來作為一離子佈植遮罩，以於半導體層 13 中形成自動對準之源極 / 汲極 20 與 22 環繞於閘極 26 兩側。雖然利用這種自動對準的方式可以省去一道定義源極 / 汲極 20 與 22 位置之光罩，然而卻不容易控制元件之電子特性。舉例來說，利用自動對準製程形成之閘極邊緣 (虛線圈起區域) 係覆蓋於源極 / 汲極 20 與輕摻雜汲極 16 間的接面位置，或者甚至會覆蓋源極 / 汲極 20 之部分表面，因此由圖一下方之能帶圖可知，由於鄰近閘極 26 邊緣之源極 / 汲極 20 的缺陷能階 ( $E_t$ ) 並不高，使得半導體層 13 內的價電子極容易獲得能量，由價帶 ( $E_v$ ) 躍升至導帶 ( $E_c$ )，成為自由電子，進而造成薄膜電晶體關閉時之漏電流，影響顯示器之品質。

發明內容

### 五、發明說明 (3)

因此，本發明之目的即在提供一種薄膜電晶體結構，可以改善漏電流問題。

在本發明之最佳實施例中，該薄膜電晶體結構包含有一基底，一半導體層以及一閘極設於該基底上。其中該半導體層包含有一通道區，二輕摻雜汲極以及二源極/汲極，該閘極係與該等輕摻雜汲極相對稱，且該閘極之二側壁與其相鄰之各該輕摻雜汲極相堆疊，該等輕摻雜汲極與該等源極/汲極間之接面係未與該閘極相堆疊，該等源極/汲極亦未與該閘極相堆疊。

由於本發明係使閘極邊緣避開源極/汲極以及源極/汲極與輕摻雜汲極間之接面等具有較低缺陷能階的位置，因此半導體層內的價電子便無法在電晶體關閉時輕易的自價帶躍升至導帶，進而可以改善漏電流等問題。

### 實施方式

請參考圖二至圖四，圖二至圖四為本發明製作一薄膜電晶體 30 之方法示意圖。薄膜電晶體 30 係用來作為一液晶顯示器之畫素開關元件，然而本發明並不限定於此，薄膜電晶體 30 亦可應用於液晶顯示器之其他電路設計，例如週邊驅動電路 (peripheral driving circuits) 或其他相關電子產品。此外，在本發明之較佳實施例中

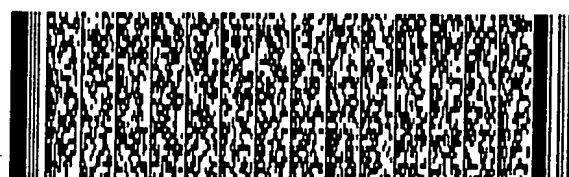


#### 五、發明說明 (4)

薄膜電晶體 30 係為一 N 型薄膜電晶體，然而在本發明之其他實施例中，薄膜電晶體 30 亦可為一 P 型薄膜電晶體。如圖二所示，首先提供一基底 32，例如一玻璃基板，並且於基底 32 表面形成一半導體層 33，例如多晶矽層。然後進行一微影製程，於半導體層 33 之一通道區 34 表面形成一遮罩層 36，用來定義薄膜電晶體 30 之源極與汲極的位置。隨後進行一離子佈植製程，於遮罩層 36 兩側之半導體層 33 中形成兩個用來作為源極 / 汲極之 N+ 摻雜區 38 與 40。為了避免植入之離子破壞半導體層 33 表面的晶格結構，本發明可於進行離子佈植製程之前，先於半導體層 33 的表面覆蓋一犧牲層 (未顯示)，例如於半導體層 33 表面沉積一氧化層或形成一熱氧化層。

如圖三所示，去除遮罩層 36 之後，接下來另於半導體層 33 表面形成一遮罩層 42，用來定義薄膜電晶體 30 之輕摻雜汲極的位置。隨後再進行一離子佈植製程，以於遮罩層 42 兩側之半導體層 33 中形成兩個用來作為輕摻雜汲極的 N- 摻雜區 44 與 46。然後去除遮罩層 42，並且利用一熱處理來活化植入摻雜區 38、40、44 以及 46 中的離子，以同時完成源極 / 汲極 38、40 以及輕摻雜汲極 44、46 之製作。

如圖四所示，接下來於半導體層 33 表面形成一閘極絕緣層 48，然後於閘極絕緣層 48 表面形成一導電材料

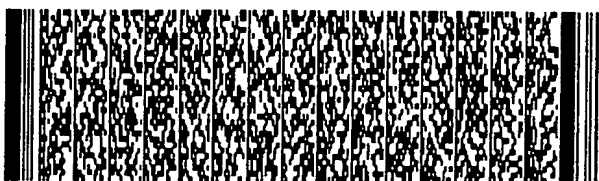


#### 五、發明說明 (5)

層，例如金屬層或摻雜多晶矽層，並且利用微影以及蝕刻等製程去除部分導電材料層以形成一閘極 50，完成薄膜電晶體 30 之製作。在本發明之較佳實施例中，輕摻雜汲極 44 與 46 係對稱於閘極 50 並且具有相同的長度，而閘極 50 的二側壁係對稱堆疊於輕摻雜汲極 44 與 46 的上方，並且避開源極 / 汲極 38 與 40，輕摻雜汲極 44 與源極 / 汲極 38 間之接面，以及輕摻雜汲極 46 與源極 / 汲極 40 間之接面。

請參考圖四下方之能帶示意圖，能帶示意圖中由左側至右側係分別用來顯示閘極邊緣區域 (即圖四上方用虛線圈起的區域) 之閘極 50、閘極絕緣層 48 以及半導體層 33 等結構的能帶分布情形。由能帶示意圖可知，由於鄰近閘極 50 邊緣之輕摻雜汲極 44 的缺陷能階 ( $E_t$ ) 與導帶能階  $E_c$  相當接近，因此半導體層 33 內的價電子並不容易在不預期的情況下由價帶 ( $E_v$ ) 躍升至導帶 ( $E_c$ ) 而成為自由電子，進而可以避免產生漏電流。

一般而言，薄膜電晶體關閉時，汲極端與基底之間仍有電壓 (電場) 存在，因此容易產生漏電流。也就是說，薄膜電晶體之漏電流問題主要係以汲極附近區域較為敏感，因此在本發明之其他實施例中，只要閘極 50 之一側壁堆疊於鄰近汲極之輕摻雜汲極上方，並且使閘極邊緣避開汲極與輕摻雜汲極間之接面，以及避開汲極，



#### 五、發明說明 (6)

即可有效降低漏電流。至於閘極的另外一側壁是否需控制堆疊於鄰近源極之輕摻雜汲極上方，並且避開輕摻雜汲極與源極間的接面，則可示電晶體之其他電性參數設計予以彈性調整。

請參考圖五，圖五為一薄膜電晶體之閘極寬度與其漏電流之關係曲線圖。假設薄膜電晶體之通道區長度固定為 4.5 微米，二輕摻雜汲極的長度均固定為 1 微米，則當閘極寬度為 6.5 微米時，閘極之二側壁係正好落於輕摻雜汲極與輕摻雜汲極外側的源極 / 汲極間的接面上方。此卜，當閘極寬度大於 6.5 微米時，則閘極之二側壁係堆疊於源極 / 汲極的上方。當閘極寬度小於 6.5 微米時，則閘極之二側壁係堆疊於輕摻雜汲極的上方。如圖五所示，當閘極寬度由 4 微米至 7 微米遞增時，則漏電流係增加了約 3 個數量級 (例如由  $10^{-1}$  提高至  $10^{-8}$ )。也就是說，當閘極側壁由輕摻雜汲極的上方逐漸向外移動至源極 / 汲極的上方時，則漏電流會相對地隨之增加。

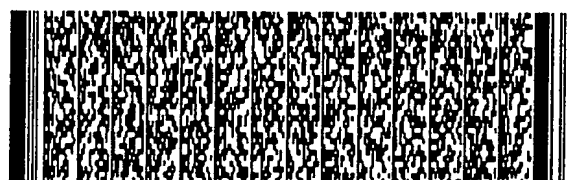
請參考表一，表一為一薄膜電晶體之閘極寬度與其電子特性間關係比較表。假設輕摻雜汲極長度與通道區長度均同於上述設定數值，當閘極寬度小於 6.5 微米 (即閘極二側壁堆疊於輕摻雜汲極上方) 時，則由電子漂移率  $U_{fe}$  欄之數據可以發現一隨著閘極寬度減少之遞減趨勢，也就是說，當閘極二側壁堆疊由輕摻雜汲極與源極 / 汲極

#### 五、發明說明 (7)

間之接面向通道區移動時，將使得電子漂移率逐漸減少，因此漏電流將隨著電子漂移率的下降逐漸減少，進而可以改善薄膜電晶體之耗電問題。

為了更有效改善薄膜電晶體的漏電流問題，在本發明之最佳實施例中係使閘極寬度定義為 A，通道區長度定義為 B，二輕摻雜汲極長度均係定義為 C，且閘極、通道區以及輕摻雜汲極等長度間的關係式應符合  $B + 0.2C \leq 0.5A \leq B + 0.8C$  之關係式，其中輕摻雜汲極長度 C 建議可介於 0.3 至 3.5 微米之間。

由於本發明之特點係控制輕摻雜汲極、汲極與閘極側壁間的相對位置，避免閘極側壁與輕摻雜汲極與汲極間之接面相堆疊，同時亦避免閘極側壁與汲極相堆疊，以達到降低漏電流等目的。因此本發明並不限定僅能應用於上述上閘極式 (top-gate) 之薄膜電晶體結構，同時更可以應用至習知之下閘極式 (bottom-gate) 之薄膜電晶體結構。在上閘極式薄膜電晶體結構中，閘極係設於半導體層上方，而在下閘極式之薄膜電晶體結構中，閘極係設於半導體層下方。因此本發明可以進一步於下閘極式薄膜電晶體之製作過程中先於基底上製作閘極絕緣層以及閘極等結構，之後再於閘極上方覆蓋一絕緣層以及具有輕摻雜汲極、源極/汲極等結構之半導體層，並且調整其輕摻雜汲極、汲極與閘極側壁間的相對位置，達到



#### 五、發明說明 (8)

本發明降低漏電流等目的。

相較於習知之製作薄膜電晶體的方法，本發明係調整閘極之寬度或其與輕摻雜汲極、源極 / 汲極間之相對位置，以使閘極邊緣避開源極 / 汲極，以及源極 / 汲極與輕摻雜汲極間之接面等具有較低缺陷能階的位置。如此一來，半導體層內的價電子便無法在電晶體關閉時輕易的自價帶躍升至導帶，進而可以改善漏電流等問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。





## 圖式簡單說明

### 圖式之簡單說明

圖一為習知一薄膜電晶體之結構剖面圖及其能帶示意圖。

圖二至圖四為本發明製作一薄膜電晶體之方法示意圖。

圖五為一薄膜電晶體之閘極寬度與其漏電流之關係曲線圖。

表一為一薄膜電晶體之閘極寬度與其電子特性間關係比較表。

### 圖式之符號說明

10	薄膜電晶體	12	基底
13	半導體層	14	通道區
16、18	輕摻雜汲極		
20、22	源極/汲極		
24	閘極絕緣層	26	閘極
30	薄膜電晶體	32	基底
33	半導體層	34	通道區
36、42	遮罩		
38、40	源極/汲極		
44、46	輕摻雜汲極		
48	閘極絕緣層	50	閘極



## 六、申請專利範圍

1. 一種薄膜電晶體結構，其包含有：

一基底；

一半導體層設於該基底上，該半導體層包含有一通道區，二輕摻雜汲極，以及二源極/汲極；以及

一閘極設於該基底上，該閘極與該等輕摻雜汲極相對稱，且該閘極之二側壁與其相鄰之各該輕摻雜汲極係相堆疊，該等輕摻雜汲極與該等源極/汲極間之接面(junction)係未與該閘極相堆疊，該等源極/汲極亦未與該閘極相堆疊。

2. 如申請專利範圍第1項之薄膜電晶體結構，其中該閘極係設於該半導體層上方。

3. 如申請專利範圍第1項之薄膜電晶體結構，其中該閘極係設於該半導體層下方。

4. 如申請專利範圍第1項之薄膜電晶體結構，其另包含一絕緣層設於該閘極與該半導體層之間。

5. 如申請專利範圍第1項之薄膜電晶體結構，其中該基底係為一玻璃基板。

6. 如申請專利範圍第1項之薄膜電晶體結構，其中該閘極包含有一長度A，該通道區包含有一長度B，該等輕摻

六、申請專利範圍

雜汲極包含有一長度  $C$ ，且其中該等長度之關係式為  $B + 0.2C \leq 0.5A \leq B + 0.8C$ 。

7. 如申請專利範圍第 1 項之薄膜電晶體結構，其中該等輕摻雜汲極具有相同的長度。

8. 如申請專利範圍第 1 項之薄膜電晶體結構，其中該等輕摻雜汲極之長度約介於 0.3 至 3.5 微米 (mm) 之間。

9. 一種薄膜電晶體結構，其包含有：

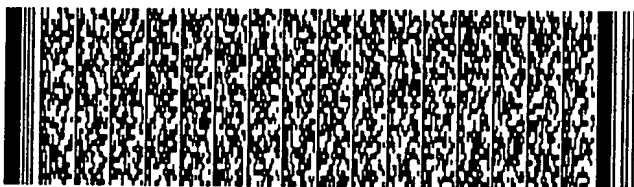
- 基底；

一半導體層設於該基底表面，該半導體層包含有一通道區，二輕摻雜汲極，一源極以及一汲極；

一絕緣層設於該半導體層表面；以及

一閘極設於該絕緣層表面，該閘極之一側壁與鄰近該汲極之該輕摻雜汲極相堆疊，且該輕摻雜汲極與該汲極間之接面係未與該閘極相堆疊，該汲極亦未與該閘極相堆疊。

10. 如申請專利範圍第 9 項之薄膜電晶體結構，其中該閘極之另一側壁係與鄰近該源極之該輕摻雜汲極相堆疊，且該輕摻雜汲極與該源極間之接面係未與該閘極相堆疊，該源極亦未與該閘極相堆疊。



六、申請專利範圍

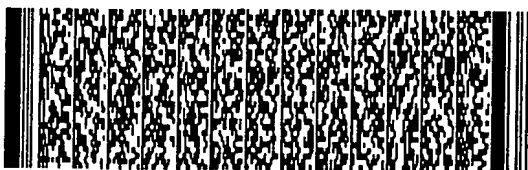
11. 如申請專利範圍第9項之薄膜電晶體結構，其中該基底係為一玻璃基板。

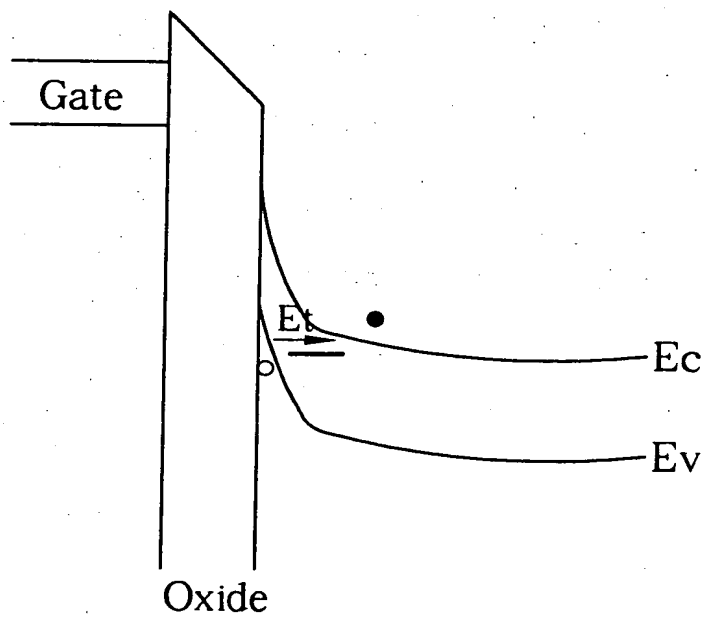
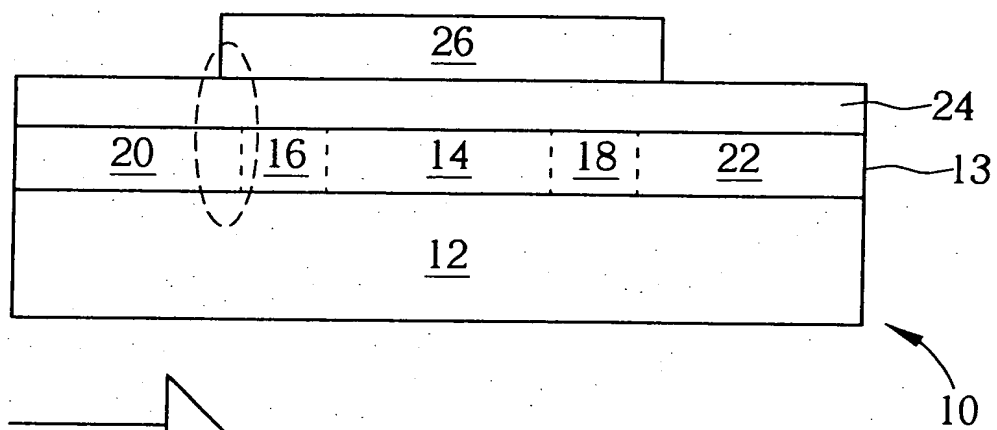
12. 如申請專利範圍第9項之薄膜電晶體結構，其中該閘極包含有一長度A，該通道區包含有一長度B，鄰近該汲極之該輕摻雜汲極包含有一長度C，且其中該等長度之關係式為  $B + 0.2C \leq 0.5A \leq B + 0.8C$ 。

13. 如申請專利範圍第9項之薄膜電晶體結構，其中該等輕摻雜汲極具有相同的長度。

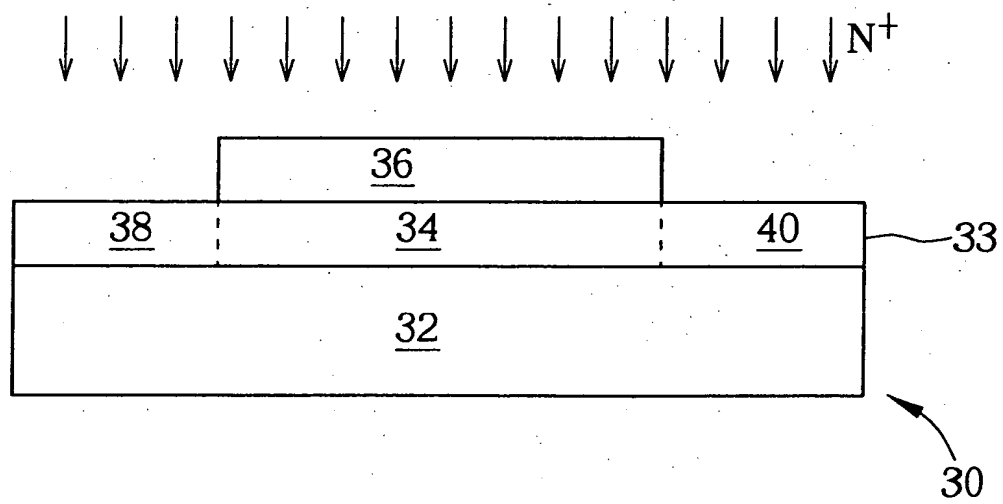
14. 如申請專利範圍第9項之薄膜電晶體結構，其中該等輕摻雜汲極之長度約介於0.3至3.5微米之間。

15. 如申請專利範圍第9項之薄膜電晶體結構，其中該等輕摻雜汲極係對稱於該閘極。

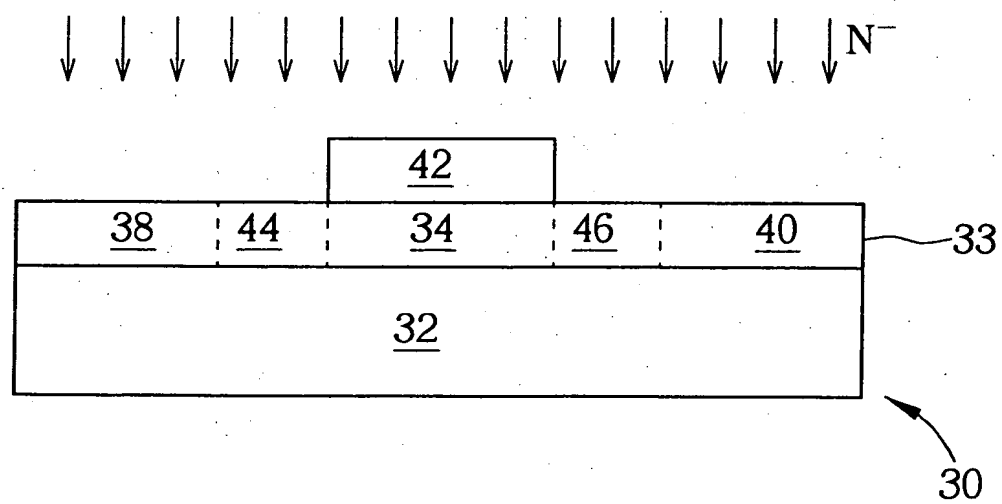




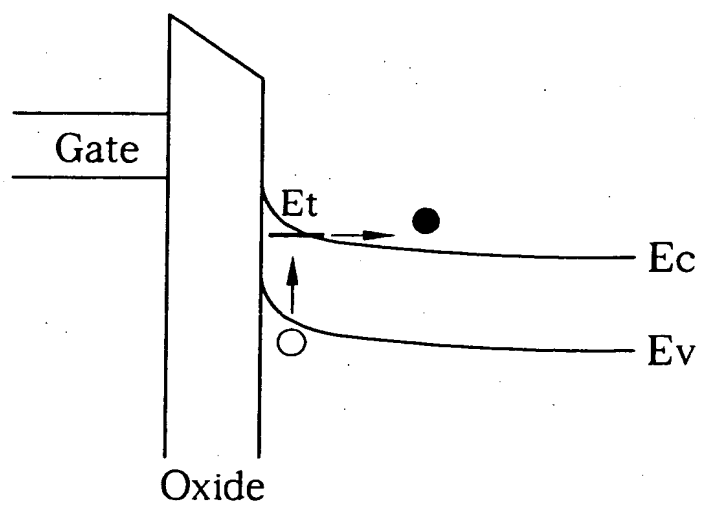
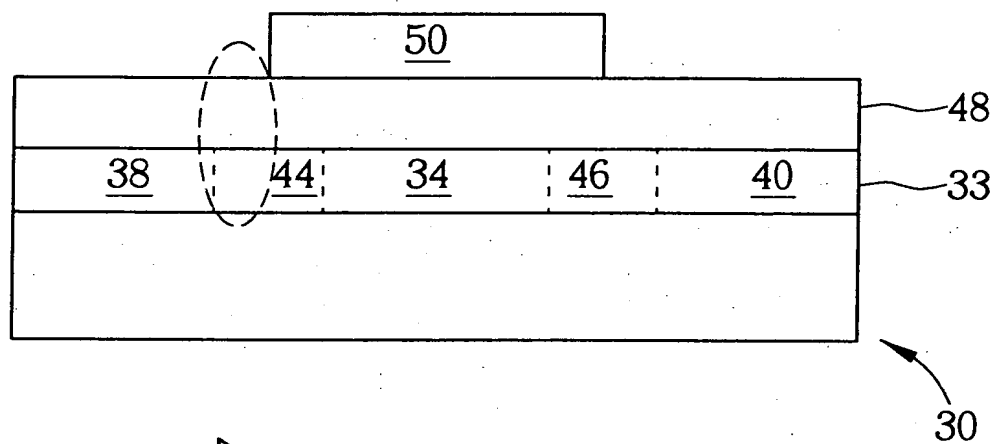
圖一



圖二

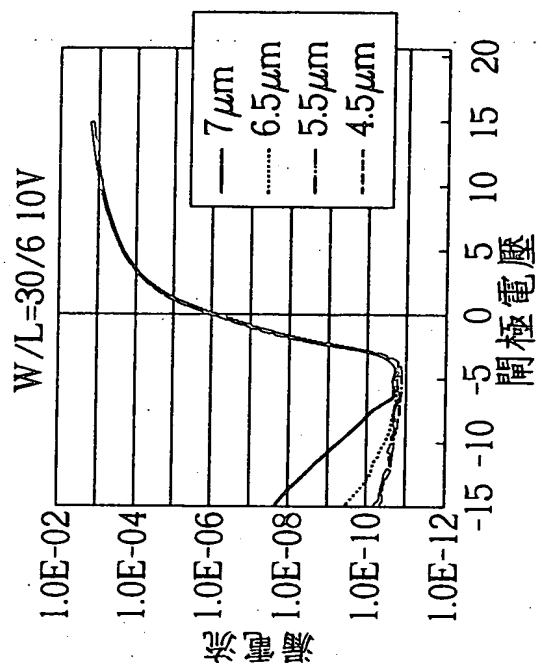
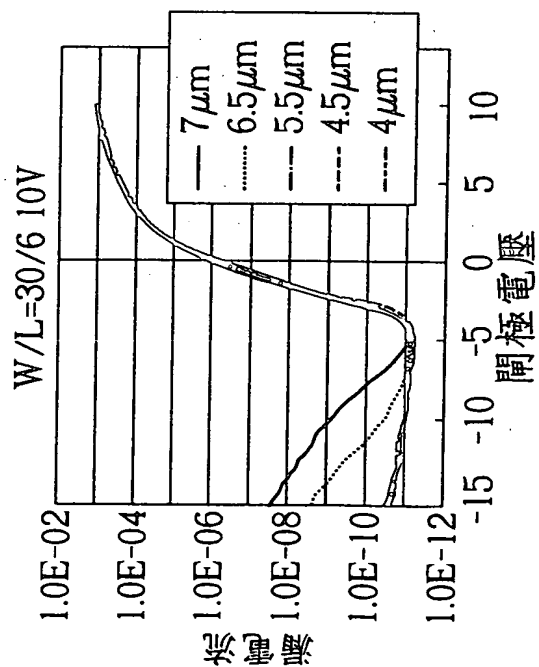
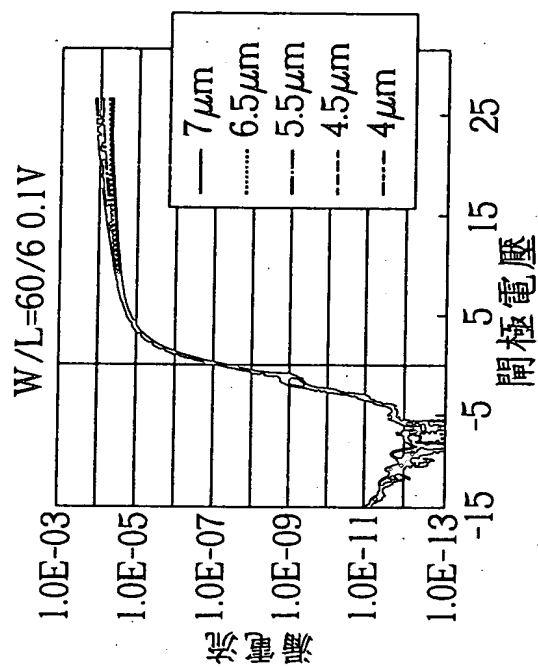
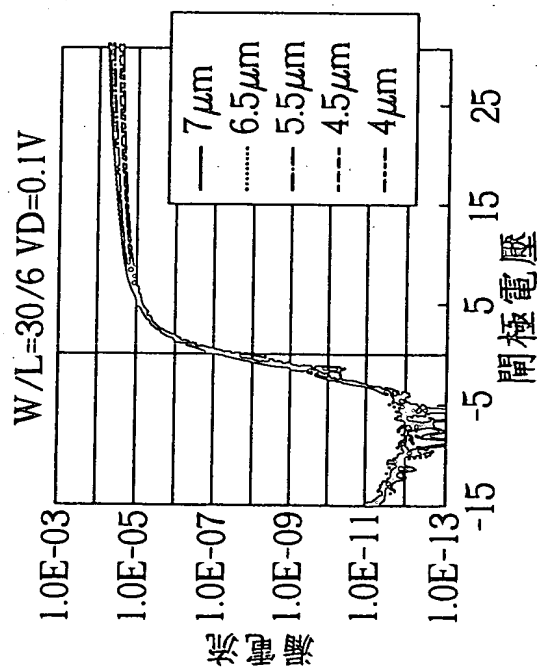


圖三



圖四





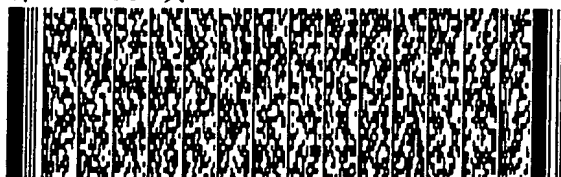
圖五



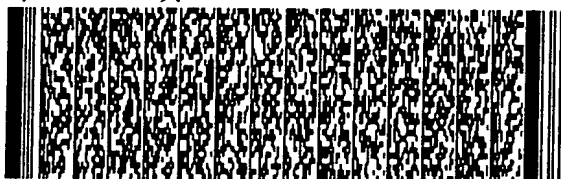
第 10/16 頁



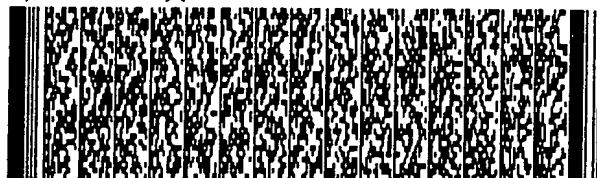
第 11/16 頁



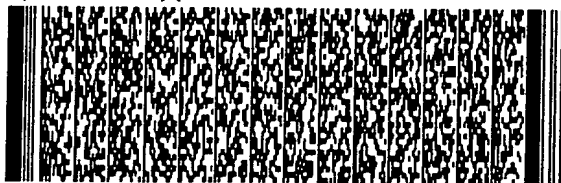
第 11/16 頁



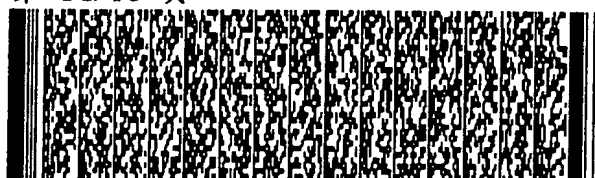
第 12/16 頁



第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

